

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :

(à n'utiliser que pour les
commandes de reproduction)

2 757 312

②1 N° d'enregistrement national :

96 15436

⑤1 Int Cl⁶ : H 01 L 21/28, H 01 L 21/336

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 16.12.96.

③0 Priorité :

④3 Date de la mise à disposition du public de la
demande : 19.06.98 Bulletin 98/25.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule.*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ETABLIS DE CARACT SCIENT TECH
ET INDUST — FR.

⑦2 Inventeur(s) : DELEONIBUS SIMON et MARTIN
FRANCOIS.

⑦3 Titulaire(s) :

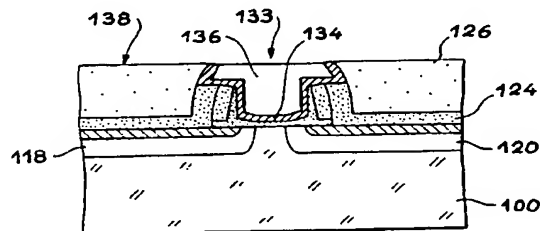
⑦4 Mandataire : BREVATOME.

⑤4 TRANSISTOR MIS A GRILLE METALLIQUE AUTO-ALIGNEE ET SON PROCEDE DE FABRICATION.

⑤7 La présente invention concerne un transistor MIS et
son procédé de réalisation. Le procédé comporte les éta-
pes suivantes:

- a) la réalisation sur un substrat (100) d'une grille factice en un matériau apte à résister à un traitement thermique,
- b) la formation dans le substrat de régions (118, 120) de source et de drain auto-alignées sur la grille factice,
- c) l'enrobage latéral de la grille factice avec un matériau isolant électrique (124, 126),
- d) l'élimination de la grille factice et la formation à la place de la grille factice d'une grille définitive (136) en un matériau de faible résistivité.

Application à la fabrication de circuits hyperfréquences.



FR 2 757 312 - A1



**TRANSISTOR MIS A GRILLE METALLIQUE AUTO-ALIGNEE ET SON
PROCEDE DE FABRICATION**

DESCRIPTION

5 Domaine technique

La présente invention se rapporte à un transistor MIS à grille auto-alignée et à son procédé de fabrication. On entend par transistor MIS un transistor ayant une structure de type Métal-Isolant-Semiconducteur telle que, par exemple les transistors
10 MOS (Métal-Oxyde-Semiconducteur).

L'invention concerne plus particulièrement la fabrication sur un substrat de silicium de tels transistors, aptes à fonctionner dans le domaine des
15 hyperfréquences.

L'invention trouve des applications en micro-électronique pour la fabrication de circuits hyperfréquence et/ou de puissance, par exemple pour la réalisation de circuits utilisables dans le domaine des
20 télécommunications.

Etat de la technique antérieure

De façon connue, les composantes et circuits de type hyperfréquence sont habituellement réalisés sur
25 des substrats en arséniure de gallium (AsGa) ou sur des substrats de silicium (Si).

Pour raisons de coût, les circuits réalisés sur substrat d'arséniure de gallium ne sont généralement pas d'une grande complexité et ne présentent pas une
30 densité d'intégration élevée. L'architecture de ces circuits n'est de ce fait pas optimisée du point de vue de leur compacité.

A titre d'exemple, pour la réalisation de composants hyperfréquence sur substrat d'AsGa, on peut se reporter au document (1) dont la référence est indiquée à la fin de la présente description.

5 Par ailleurs, la figure 1 annexée donne également un exemple de composant hyperfréquence, en l'occurrence un transistor MOS (Metal Oxide Semiconductor), réalisé sur un substrat de silicium.

10 Le transistor de la figure 1 comporte une région de source 10, une région de canal 12 et une région de drain 14 définies dans un substrat 16 de silicium. La source et le drain sont, par exemple, formés par implantation d'impuretés dopantes de type n ou de type p et constituent des régions de plus faible
15 résistivité.

Une couche isolante d'oxyde de silicium 18 est formée à la surface du substrat 16 et recouvre les régions de source, de canal et de drain.

20 Une ouverture non traversante 20 est pratiquée par gravure dans la couche d'oxyde 18, sensiblement à l'aplomb de la région de canal 12. Au fond de l'ouverture 20, une mince couche d'oxyde 22 forme une isolation de grille. Une grille 24 est enfin formée dans l'ouverture 20.

25 Le matériau formant la grille, en l'occurrence un métal, présente une faible résistivité et autorise ainsi un fonctionnement à haute fréquence du transistor réalisé.

30 La densité d'intégration des dispositifs réalisés conformément à la figure 1 dépend de la précision avec laquelle l'ouverture 20, et partant, la grille 24, sont alignés par rapport au canal 12 et par rapport aux régions 10, 14 de source et de drain. Cette

précision dépend directement de la qualité des outils de fabrication (notamment d'alignement) des dispositifs à semi-conducteur.

De façon connue, dans le cadre de la
5 réalisation de circuits intégrés à transistors MOS sur un substrat de silicium, une solution pour augmenter la compacité et la densité d'intégration des circuits consiste à auto-aligner la grille par rapport aux zones de source et de drain.

10 On considère que la grille est auto-alignée par rapport aux zones de source et de drain lorsque la position relative de la grille et des zones de source et de drain ne résulte pas d'un alignement des moyens mis en oeuvre (masques par exemple) pour réaliser ces
15 parties, mais lorsque la position des zones de source et de drain est directement définie par la position de la grille elle-même. De façon pratique, l'auto-alignement de la grille par rapport aux régions de source et de drain résulte d'un procédé de formation
20 des régions de source et de drain dans lequel ces régions sont formées par implantation d'impuretés dans le substrat en utilisant la grille, réalisée antérieurement, comme masque d'implantation. L'emplacement de la grille fixe ainsi précisément et
25 automatiquement la position de la source du canal et du drain.

Les procédés de formation de transistors avec une grille auto-alignée par rapport aux zones de source et de drain, impliquent généralement des traitements
30 thermiques effectués à haute température. A titre d'exemple, dans des procédés de réalisation de transistors MOS sur silicium à grille auto-alignée, un traitement thermique à une température de l'ordre de

750°C ou plus est effectué après l'implantation d'impuretés, afin d'activer les zones de source et de drain.

Par ailleurs, une densification ou un fluage de l'isolant placé entre la grille et le premier niveau de métal d'interconnexions est effectué dans un domaine de température sensiblement identique.

Par ailleurs, comme évoqué ci-dessus, il est nécessaire d'utiliser un matériau de grille de faible résistivité pour obtenir un fonctionnement de transistor à haute fréquence. A titre indicatif, lors de la fabrication de dispositifs de type hyperfréquence, c'est-à-dire qui fonctionnent en général à une fréquence supérieure à 36MHz, le matériau de grille utilisé pour réaliser les transistors doit présenter préférentiellement une résistivité comprise environ entre 1 et 10 $\mu\Omega.cm$.

Or, il s'avère que les matériaux présentant une résistivité située dans la gamme indiquée ne sont pas capables de supporter les températures des traitements thermiques mis en oeuvre dans les procédés indiqués de fabrication de transistors à grille auto-alignée. En particulier, ces matériaux ne sont pas capables de supporter des températures supérieures ou égales à 750°C.

Un matériau fréquemment utilisé pour la réalisation de la grille des transistors à grille auto-alignée est le silicium polycristallin (Si poly). Le silicium polycristallin est en effet apte à supporter la température des traitements thermiques mis en oeuvre lors de la formation de ces transistors.

Or, la résistivité du silicium polycristallin, de l'ordre de $10^3 \mu\Omega.cm$, n'est pas compatible avec les

applications envisagées des transistors dans le domaine hyperfréquence. On ne sait par ailleurs pas diminuer suffisamment la résistivité du silicium polycristallin pour obtenir un fonctionnement des transistors en
5 hyperfréquence.

Un but de la présente invention est, par conséquent, de proposer un procédé de fabrication d'un transistor MIS à grille, source et drain auto-alignés et susceptible de fonctionner dans la gamme des
10 hyperfréquences.

Un but de l'invention est aussi de proposer un procédé de fabrication d'un transistor compact avec des interconnexions permettant la réduction de la garde des contacts par rapport au bord des conducteurs de grille
15 ou interconnexions.

Un but de l'invention est encore d'augmenter la densité d'intégration des interconnexions dans un circuit comprenant des transistors à grille, source et drain auto-alignés.

20 Un autre but de l'invention est de proposer un transistor conçu de façon à présenter une fréquence de coupure très élevée.

Un but de l'invention est enfin de proposer des transistors compatibles avec la réalisation de circuits
25 CMOS (MOS complémentaires) avec une grande densité d'intégration.

Exposé de l'invention

L'invention a plus précisément pour objet un
30 procédé de fabrication sur un substrat semiconducteur de transistors MIS (Métal-Isolant-Semi-conducteur). Le procédé comporte les étapes suivantes :

- a) la réalisation sur le substrat d'une grille factice constituée d'un ou plusieurs matériau(x) apte(s) à résister à un traitement thermique,
- b) la formation dans le substrat de régions de source et de drain auto-alignées sur la grille factice,
- c) l'enrobage latéral de la grille factice avec au moins un matériau isolant électrique,
- d) l'élimination de la grille factice et formation à la place de la grille factice d'une grille définitive constituée d'un ou plusieurs matériau(x) de faible résistivité, la grille définitive étant séparée du substrat par une couche d'isolant de grille.

La grille factice, réalisée au cours du procédé, a une double fonction : elle permet, dans un premier temps, de définir l'emplacement des régions de source et de drain lors de l'étape b), puis de définir l'emplacement de la grille définitive du transistor en matériau de faible résistivité. En effet, l'enrobage de la grille factice sur ses flancs latéraux forme, après l'élimination de cette grille factice, un "moule" pour la grille définitive.

Ces caractéristiques garantissent un alignement automatique et parfaitement précis de la grille définitive par rapport aux régions de source et de drain.

La grille définitive est formée en un ou plusieurs matériaux. Ces matériaux sont chacun choisis de façon à présenter une faible résistivité. A titre d'exemple, la résistivité des matériaux peut être choisie dans une gamme allant de 1 à 10 $\mu\Omega\cdot\text{cm}$.

Selon un aspect particulier de l'invention, l'étape a) peut comporter :

- la formation sur le substrat d'un empilement comprenant dans l'ordre d'une couche d'oxyde dite couche piédestal, d'une couche de silicium polycristallin et d'une couche de nitrure de silicium, et

- la mise en forme de l'empilement par gravure pour réaliser la grille factice avec des flancs latéraux.

Dans ce mode de mise en oeuvre du procédé, la grille factice est constituée, dans l'ordre à partir du substrat, d'une couche d'oxyde de silicium mince, d'une couche de silicium polycristallin ou amorphe puis d'une couche de nitrure de silicium.

La couche de nitrure de silicium peut être mise à profit pour la formation de l'enrobage latéral de la grille factice.

En effet, selon un aspect particulier de l'invention, l'étape c) peut comporter :

- le dépôt d'une première couche isolante électrique d'oxyde de silicium dopé au phosphore puis d'une deuxième couche d'oxyde de silicium non intentionnellement dopé, les première et deuxième couches enrobant la grille factice, et
- le polissage des première et deuxième couches d'oxyde de silicium avec arrêt sur la grille factice.

Dans cette mise en oeuvre du procédé, la couche de nitrure de silicium prévue dans l'empilement formant la grille factice peut avantageusement être mise à profit pour servir de couche d'arrêt du polissage.

Selon un autre aspect de l'invention, l'étape b) peut comprendre :

- une première implantation d'impuretés dopantes à faible dose en utilisant la grille factice comme masque d'implantation,

- la formation d'espaceurs sur les flancs latéraux de la grille factice,
 - une deuxième implantation d'impuretés dopantes à une dose supérieure à la dose de la première
- 5 implantation, en utilisant la grille factice, équipée des espaceurs, comme masque d'implantation.

Grâce à cette double implantation, on peut réaliser une architecture des sources et drains du type "Low Doped Drain" (LDD) nécessaire à une bonne durée de

10 vie des composants.

Les espaceurs latéraux sur les flancs de la grille factice peuvent, par exemple, être formés par :

- un dépôt sensiblement conforme d'une couche d'oxyde de silicium dopé au phosphore de façon à enrober la
- 15 grille factice, et
- une gravure anisotrope de ladite couche pour l'éliminer au-dessus de la grille factice tout en préservant une partie de ladite couche sur les flancs latéraux de la grille factice, cette partie
- 20 constituant les espaceurs latéraux.

On considère que le dépôt est conforme lorsqu'il épouse la forme de la surface du support sur lequel il est effectué. Grâce au dépôt conforme de la couche d'oxyde de silicium dopé au phosphore, celle-ci

25 recouvre et est en contact non seulement sur les faces latérales de la grille factice, mais aussi sur le dessus de cette grille. La gravure anisotrope de la couche d'oxyde de silicium dopée au phosphore permet de l'éliminer complètement sur le dessus de la grille

30 factice tout en préservant les parties de la couche destinées à former les espaceurs latéraux.

Le transistor conforme à l'invention peut être mis en circuit en reliant ses bornes, formées par les

régions de source et de drain et par la grille, à d'autres composants ou transistors voisins. Afin d'améliorer la qualité du contact entre des lignes d'interconnexion utilisées pour former le circuit, et
5 les régions de sources et de drain, l'étape b) du procédé peut comporter en outre une siliciuration des régions de source et de drain. La siliciuration est également auto-alignée par rapport à la grille factice : elle comporte un dépôt de métal et qui réagit
10 en formant un alliage (siliciure) sélectivement sur les zones exposées de silicium.

Selon une mise en oeuvre particulière de l'étape d) du procédé, celle-ci comporte l'élimination par gravure des couches de nitrure de silicium et de
15 silicium polycristallin de la grille factice, la couche piédestal formant lors de cette gravure une couche d'arrêt de gravure.

La couche piédestal peut également être éliminée au cours de l'étape d). Dans ce cas, une
20 nouvelle couche d'isolant de grille est formée avant la réalisation de la grille définitive.

Selon un autre aspect particulier de l'invention, l'étape d) peut en outre comporter, avant la formation de la grille définitive, une attaque
25 partielle des première et deuxième couches d'oxyde pour former un évasement après l'élimination de la grille factice.

L'évasement s'étend depuis la surface du substrat et s'élargit vers la surface supérieure des
30 première et deuxième couches d'oxyde.

De façon avantageuse la différence des matériaux utilisés pour former les première et deuxième couches est mise à profit pour obtenir une différence

de vitesse d'attaque de ces couches. Cette mesure permet de configurer l'évasement selon une forme particulière. L'évasement, et partant la grille définitive, peuvent présenter, par exemple, une section
5 une forme en T.

De plus, l'étape d) peut additionnellement comporter une élimination partielle des espaceurs latéraux de la grille factice. Cette élimination, qui peut être réalisée de façon concomitante à l'attaque
10 des matériaux des première et deuxième couches d'oxyde, contribue alors à la mise en forme de l'évasement.

La réalisation de la grille définitive, lors de l'étape d), peut comporter, dans un exemple particulier, un dépôt successif et sensiblement
15 conforme d'une couche de nitrure de titane (TiN) et d'une couche de tungstène (W) puis une planarisation de ces couches avec arrêt sur le matériau isolant électrique. Grâce à la première couche de nitrure de titane (TiN), une bonne adhérence de la couche de
20 tungstène (W) sur une couche sous-jacente d'isolant de grille est garantie. La couche d'isolant de grille, par exemple en oxyde de silicium, est formée de préférence juste avant la réalisation de la grille définitive.

De façon plus générale, le matériau de la grille définitive peut être avantageusement choisi avec
25 un potentiel d'extraction tel que le niveau de Fermi à l'équilibre à l'interface isolant de grille/canal du transistor soit situé en milieu de la bande interdite du semiconducteur.

30 La présente invention a également pour objet un transistor MOS comprenant une source, un drain, une grille et une couche d'isolation de grille, dans lequel la source et le drain sont auto-alignés sur la grille,

et dans lequel la grille est réalisée en un ou plusieurs matériau(x) de faible résistivité.

Le matériau de la grille présente une résistivité comprise, selon un exemple avantageux de
5 réalisation, entre $1\mu\Omega.\text{cm}$ et $10\mu\Omega.\text{cm}$.

Selon un aspect particulier, le procédé de l'invention peut comporter, en outre, avant l'étape a), la formation par dopage, dans le substrat, d'une région de canal ; la grille factice étant réalisée au-dessus
10 de la région de canal.

Par ailleurs, le procédé peut également être complété après l'étape d) par les étapes suivantes :

- e) formation de prises de contact sur les régions de source et de drain et sur la grille,
- 15 f) la métallisation des prises de contact.

Les prises de contact formées sur la grille et les régions de source et de drain sont avantageusement formées à travers une couche de matériau isolant déposée sur la surface libre de la structure obtenue
20 après le polissage des première et deuxième couches d'oxyde de silicium (ou BPSG).

Selon un perfectionnement de l'invention, le procédé de fabrication d'un transistor à grille isolée en un matériau de faible résistivité, décrit
25 précédemment, peut comporter en outre la formation d'un transistor à grille de silicium dite grille-silicium.

Dans ce cas, les étapes de procédé peuvent être complétées de façon que :

- l'étape a) comporte la formation, sur le substrat,
30 d'un empilement comprenant dans l'ordre, dans au moins une première région, une couche d'oxyde dite couche piédestal, une couche de silicium polycristallin ou amorphe et une couche de nitrure de

- silicium, et comprenant dans au moins une deuxième région, la couche d'oxyde dite couche piédestal, la couche de silicium polycristallin ou amorphe, une couche d'oxyde de silicium dite intercalaire, et la
- 5 couche de nitrure de silicium ; et la mise en forme de l'empilement par gravure pour réaliser la grille factice avec des flancs latéraux dans la première région et au moins une grille dite grille-silicium dans la deuxième région,
- 10 - l'étape b) comporte la formation dans le substrat de régions de source et de drain auto-alignées sur la grille factice et sur la grille-silicium respectivement,
- l'étape c) comporte l'enrobage latéral de la grille
- 15 factice et de la grille-silicium avec au moins un matériau isolant électrique,
- l'étape c) est précédée par l'élimination de la couche de nitrure de silicium sur la grille-silicium dans la deuxième région, l'élimination de la couche
- 20 piédestal autour de la grille factice et de la grille-silicium, et l'élimination de la couche intercalaire d'oxyde de silicium,
- l'étape d) comporte la formation dans la deuxième région d'une couche de protection, recouvrant la
- 25 grille-silicium pendant l'élimination de la grille factice.

De façon avantageuse, des couches ou des parties communes des transistors à grille de faible résistivité et du transistor à grille de silicium sont

30 réalisées simultanément dans les première et deuxième régions.

Bien que la description se limite pour l'essentiel à la réalisation d'un seul transistor à

grille de faible résistivité (à grille métallique) et à un seul transistor à grille de silicium, on comprend que le procédé peut s'appliquer à la fabrication simultanée d'une pluralité de transistors d'un ou des
5 deux types mentionnés.

Selon un aspect particulier de l'invention, on peut effectuer, après l'élimination de la couche piédestal et de la couche intercalaire et avant l'étape c), une siliciuration auto-alignée des régions de
10 source et de drain et de la couche de silicium polycristallin ou amorphe de la grille-silicium.

La siliciuration permet d'améliorer la prise de contact sur les régions de source, de drain et de grille.

15 De plus, pour protéger les régions siliciurées, et en particulier les régions de source et de drain siliciurées, une fine couche de nitrure de silicium peut être déposée sur ces régions.

Cette opération est applicable aux transistors
20 à grille ayant une grille de matériau de faible résistivité et aux transistors à grille de silicium. Dans ce dernier cas, la couche de nitrure de silicium est également en contact avec le siliciure formé dans la couche de silicium polycristallin ou amorphe de la
25 grille.

Enfin, selon un aspect avantageux du procédé de fabrication concomitante de transistors avec les deux types de grille mentionnés ci-dessus, l'enrobage latéral de la grille factice et de la grille-silicium
30 lors de l'étape c) peut comporter :

- le dépôt d'une première couche isolante électrique d'oxyde de silicium dopée au phosphore puis d'une deuxième couche isolante électrique d'oxyde de

silicium non intentionnellement dopé, les première et deuxième couches enrobant la grille factice et la grille-silicium, et

- le polissage des première et deuxième couches d'oxyde de silicium avec arrêt sur la grille factice, une fine couche d'oxyde de silicium dopée au phosphore étant préservée sur la couche de silicium polycristallin ou amorphe de la grille-silicium lors de ce polissage.

La fonction de la fine couche d'oxyde de silicium dopée préservée sur la couche de silicium polycristallin ou amorphe de la grille-silicium est principalement de protéger la grille silicium lors de l'élimination de la couche de nitrure de silicium sur la grille factice et lors de l'élimination de la grille factice elle-même.

D'autres caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre, en référence aux figures des dessins annexés, donnée à titre purement illustratif et non limitatif.

Brève description des figures

- La figure 1, déjà décrite, est une coupe schématique d'un transistor MOS hyperfréquence d'un type connu.

- Les figures 2 et 3 sont des coupes schématiques d'un transistor en cours de fabrication conformément au procédé de l'invention. Elles illustrent la formation d'une grille factice et de régions de source et de drain.

- Les figures 4 et 5 sont des coupes schématiques du transistor de la figure 3 après enrobage de la grille factice.

- Les figures 6 et 7 sont des coupes schématiques du transistor de la figure 5 et illustrent notamment une étape d'élimination de la grille factice.

5 - Les figures 8 et 9 sont des coupes schématiques du dispositif de la figure 7 et illustrent des étapes de préparation et de réalisation d'une grille définitive.

10 - La figure 10 est une coupe schématique de deux interconnexions réalisées conformément à l'invention en même temps que des transistors, et illustre une étape de fabrication d'interconnexions de grilles.

15 - Les figures 11 à 19 sont des coupes schématiques de structures illustrant des étapes successives d'un procédé de fabrication d'un premier transistor à grille en matériau de faible résistivité et d'un deuxième transistor à grille de silicium, conformément à un perfectionnement de l'invention.

20 - Les figures 20 à 23 sont des coupes schématiques d'un transistor à grille de matériau de faible résistivité en cours de fabrication, selon une variante du procédé de l'invention.

25 - La figure 24 est une coupe schématique d'un transistor à grille de matériau de faible résistivité et d'un transistor à grille de silicium obtenus selon la variante du procédé de l'invention.

Description détaillée de modes de mise en oeuvre de l'invention

30 Comme le montre la figure 2, dans l'exemple décrit, le transistor est réalisé sur un substrat de silicium 100 dont la surface a été oxydée afin de

former une couche 102 d'oxyde de silicium dite couche piédestal.

Sur la couche 102 sont successivement déposées une couche de silicium polycristallin ou amorphe 104 puis une couche de nitrure de silicium 106. L'ensemble de ces couches forme un empilement 110. L'épaisseur totale des couches 104 et 106 est, par exemple, de l'ordre de 100 à 500 nm et correspond sensiblement à l'épaisseur de la grille du transistor qui sera finalement obtenu au terme du procédé de fabrication.

Un masque de gravure 108, représenté en trait discontinu, tel qu'un masque de résine photosensible, est formé sur la couche 106 de nitrure de silicium. Ce masque définit l'emplacement, la taille et la forme d'une grille factice que l'on souhaite réaliser dans l'empilement 110.

Les couches 102, 104 et 106 de l'empilement 110 sont éliminées par gravure à l'exception d'une portion protégée par le masque 108.

Cette portion de l'empilement forme le corps de la grille factice, repérée avec la référence 112 sur la figure 3.

Le ou les flancs de la grille factice 112, et plus précisément les flancs correspondant à la couche de silicium polycristallin 104 sont soumis à une oxydation thermique qui conduit à la formation d'une couche dite d'oxyde thermique 114 indiquée sur la figure 3. Lors de cette oxydation, le dessus de la couche 104 de silicium polycristallin est protégé par la couche 106 de nitrure de silicium. On peut noter par ailleurs que la couche piédestal 102 d'oxyde de silicium permet d'amortir ou de limiter des contraintes

apparaissant lors de l'oxydation thermique des flancs de la grille factice.

La formation de la grille factice est suivie d'une première implantation d'ions à faible dose. Selon
5 que le transistor que l'on souhaite réaliser est du type PMOS ou NMOS, les ions sont choisis de façon à réaliser des zones d'un type de conductivité p ou n. A titre d'exemple, lors de la première implantation, on
10 plante des ions de bore avec une dose de 10^{13} à 10^{14} cm⁻² à une énergie de 3 à 25 keV pour les PMOS. Dans le cas d'un transistor NMOS, on utilise du phosphore ou de l'arsenic dans la même gamme de dose et d'énergie.

La première implantation est suivie par la
15 formation sur le ou les flancs de la grille factice d'espaceurs latéraux 116 visibles à la figure 3.

Comme décrit précédemment, les espaceurs latéraux, en oxyde de silicium dopé au phosphore, de préférence, sont formés par le dépôt conforme d'une
20 couche de ce matériau, puis par une gravure anisotrope de cette couche.

Une deuxième implantation à plus forte dose, de quelques 10^{14} à quelques 10^{15} , est alors effectuée. La grille factice 112, élargie par les espaceurs latéraux
25 116, forme, lors de la deuxième implantation, un masque d'implantation.

Les première et deuxième implantations permettent ainsi de former de part et d'autre de la grille factice des régions de source et de drain
30 graduelles. Ces régions sont repérées sur la figure 3 avec les références 118 et 120.

Les régions de source et de drain 118 et 120 sont soumises à une siliciuration à haute température

de l'ordre de 500°C à 750°C afin d'améliorer une future prise de contact sur ces régions. La couche de siliciure, formée dans les régions de source et de drain, est indiquée avec les références 119 et 121
5 respectivement.

Lorsque la siliciuration est achevée, on procède, comme le montre la figure 4, à un dépôt successif d'une première couche d'oxyde de silicium dopée au phosphore 124 puis d'une deuxième couche soit
10 d'oxyde de silicium intrinsèque 126 non intentionnellement dopée, soit de borophosphosilicate (BPSG). Les couches 124 et 126 enrobent la grille factice 112.

Les couches 124 et 126 sont polies avec arrêt
15 sur la couche de nitrure de silicium 106 de la grille factice 112. Cette opération permet de former, comme le montre la figure 5, une surface plane à laquelle affleure le sommet de la grille factice.

L'épaisseur des couches d'oxyde 124 et 126, de
20 même que la hauteur de la grille factice, est ajustée en fonction de la hauteur de la grille définitive que l'on souhaite réaliser ainsi que de la taille d'un évasement pratiqué dans ces couches et décrit dans la suite du texte. L'épaisseur de 124 est choisie
25 supérieure ou égale à la tolérance de positionnement de la lithographie. L'épaisseur 126 est choisie égale ou supérieure à la hauteur de la grille factice pour permettre une bonne planarisation.

Comme le montre la figure 6, le procédé est
30 poursuivi par l'élimination de la grille factice. La couche 106 de nitrure de silicium et la couche 104 de silicium polycristallin (voir figure 5) sont éliminées

par gravure. Lors de cette gravure la couche piédestal 102 peut servir de couche d'arrêt de gravure.

L'élimination de la grille factice définit une ouverture 130 dont l'emplacement les dimensions et la
5 forme conditionnent la réalisation de la grille définitive.

Selon un aspect avantageux, l'ouverture 130 peut être évasée vers le haut, c'est-à-dire en s'éloignant du substrat, comme le montre la figure 7.

10 Afin d'évaser l'ouverture 130, une attaque partielle des première et deuxième couches d'oxyde 124, 126 de même que des espaceurs latéraux 116 et la couche d'oxyde thermique 114 est opérée. Il s'agit par exemple d'une attaque à l'acide fluorhydrique.

15 On peut noter sur la figure 7 que cette attaque a également pour conséquence d'éliminer le reliquat de la couche piédestal de la grille factice désormais éliminée.

Grâce au choix particulier des matériaux des
20 couches 114, 116, 124 et 126 l'attaque à l'acide, plus ou moins rapide selon les matériaux, permet d'évaser l'ouverture 130 selon un profil particulier choisi. Dans le cas de l'exemple décrit, il s'agit, vu en coupe, d'un profil en T.

25 En effet, à titre d'exemple la vitesse d'attaque de la couche des espaceurs latéraux 114 en PSG est 5 fois supérieure à la vitesse d'attaque de l'oxyde thermique et 3 fois supérieure à la vitesse d'attaque de l'oxyde intrinsèque de la couche 126. Si
30 la couche 126 est en borophosphosilicate (BPSG) on note que la vitesse d'attaque du PSG est 6 fois supérieure à celle du BPSG.

La figure 8 montre la mise en place d'une couche d'isolant de grille 132. Cette couche est destinée à isoler électriquement la grille définitive, qui va être réalisée, du canal du transistor. La couche
5 132 est avantageusement une couche d'oxyde de silicium obtenu par oxydation. On peut noter qu'une partie des régions de source et de drain a été mise à nu lors de l'attaque chimique préalable (figure 7). Un effet de vitesse d'oxydation différentielle a tendance à
10 provoquer une oxydation plus forte dans ces régions dopées, lors de la formation de la couche d'isolant de grille 132.

La figure 9 montre la formation de la grille définitive 133. Pour la réalisation de cette grille, on
15 peut avantageusement choisir un matériau de type "mid-gap", c'est-à-dire un matériau tel que son niveau de Fermi coïncide à peu près avec le niveau de Fermi intrinsèque du semi-conducteur. A titre d'exemple, le matériau "mid-gap" peut être choisi parmi les matériaux
20 suivants TiN, Ti, Cu, W et Al.

Dans l'exemple de réalisation décrit, la grille 133 comporte un système bicouche TiN/W dans lequel la couche de nitrure de titane forme une couche d'accrochage pour le tungstène. Les couches 134 de
25 nitrure de titane et 136 de tungstène sont déposées selon une technique de dépôt chimique en phase vapeur à basse pression, dite LPCVD, permettant d'obtenir un dépôt conforme. Dans un autre exemple de réalisation, le système bicouche TiN/W peut être remplacé, par
30 exemple par un système bicouche TiN/Al.

Les couches 134 et 136 sont ensuite soumises à un polissage mécano-chimique ou à une gravure anisotrope avec arrêt sur la couche d'oxyde 126. Ce

traitement permet d'obtenir une surface supérieure 138 lisse et plane. On peut noter que lorsque l'on utilise un procédé de gravure anisotrope, au préalable, on dépose une couche de résine pour permettre la planarisation.

La figure 9 montre bien la forme évasée de la grille définitive du transistor ainsi obtenu. La forme en section transversale de la grille est une forme en T. Cette forme présente à la fois des avantages quant au fonctionnement du transistor et quant à l'interconnexion de transistors conformes à l'invention pour former un circuit.

La forme en T de la grille permet notamment de diminuer la résistance de la grille, et contribue ainsi à augmenter la fréquence de coupure du transistor en régime de fonctionnement hyperfréquence.

La figure 10 montre les avantages que procure la forme particulière de la grille pour l'interconnexion.

Sur la figure 10, on a représenté deux lignes métalliques 99 et 99a réalisées conformément à l'invention. Les lignes métalliques peuvent être soit des grilles de transistors, soit des lignes d'interconnexion sur oxyde de champ.

Des ouvertures 142, 142a pratiquées dans une couche d'oxyde 140, formée sur la surface supérieure 138 des transistors ou des interconnexions, déterminent l'emplacement de prises de contact sur les lignes métalliques 99 et 99a. Une couche de métal d'interconnexion est ultérieurement déposée sur la couche d'oxyde 140 et dans les ouvertures 142, 142a. Cette couche est ensuite mise en forme pour constituer d'autres lignes d'interconnexion. Comme le montre la

figure, grâce à l'évasement des grilles et de leur forme en T un plus grand désalignement entre l'emplacement des ouvertures 142, 142a et les grilles 133, 133a est autorisé. Le métal de la grille est toujours présent sous la prise de contact même si une
5 garde par rapport aux lignes d'interconnexion (ouvertures 142, 142a) est nulle.

Ce résultat est particulièrement intéressant. Il permet en effet de diminuer la distance (d) entre différentes lignes d'interconnexion des grilles et permet ainsi d'augmenter la densité d'intégration des circuits réalisés avec les transistors de l'invention.
10

La densité d'intégration peut également être augmentée en raison de la symétrie des transistors. Comme expliqué précédemment, cet avantage découle du caractère auto-aligné des source et drain par rapport à la grille.
15

On peut enfin noter que, sur la figure 10, les régions de source et de drain des transistors, de même que des prises de contact sur ces régions, ne sont pas représentées dans un souci de simplification et de généralité.
20

Les figures 11 et suivantes montrent une variante du procédé de l'invention lors de laquelle deux types de transistors sont réalisés. On réalise d'une part un ou plusieurs transistors avec une grille en un matériau de faible résistivité, par exemple en TiN/W comme décrit précédemment, et d'autre part, un ou plusieurs transistors avec une grille en silicium dite grille-silicium. Pour des raisons de simplification,
25 30 les figures ne montrent que la fabrication d'un seul transistor de chaque type.

Comme le montre la figure 11, on part d'une structure comprenant un substrat 100 de silicium, une couche piédestal 102 d'oxyde de silicium, une couche de silicium amorphe ou polycristallin 104 et une couche de
5 nitrure de silicium 106. On peut se reporter à ce sujet à la figure 2 et à la description correspondante.

La structure comporte deux régions désignées respectivement par première région et deuxième région et repérées par les références 200 et 200a. On peut
10 noter sur la figure 11 que dans la deuxième région 200a une couche d'oxyde de silicium 105 est intercalée entre la couche de silicium polycristallin ou amorphe 104 et la couche de nitrure de silicium 106.

De préférence, avant la formation de la couche
15 de nitrure de silicium 106, la surface libre de la couche de silicium 104 peut être oxydée pour former sur toute sa surface une couche d'oxyde. La couche d'oxyde est ensuite éliminée par gravure humide dans la région 200 avant la formation de la couche 106 de nitrure de
20 silicium. On peut noter à ce sujet qu'il est possible de former une structure ayant une pluralité de régions équivalentes à la première région 200 et une pluralité de régions équivalentes à la deuxième région.

Comme le montre la figure 12, on réalise
25 ensuite dans la structure de la figure 11, une grille factice 112 dans la première région 200 et une grille 112a, appelée de façon simplifiée "grille-silicium" dans la deuxième région 200a.

La grille factice 112 de la figure 12 est
30 identique à la grille factice 112 de la figure 3. La grille silicium 112a s'en distingue simplement par la couche 105 d'oxyde de silicium supplémentaire entre la

couche de silicium 104 et la couche de nitrure de silicium 106.

Les grilles 112 et 112a présentent des flancs sur lesquels sont formés une couche d'oxyde thermique 114 et des espaceurs latéraux 116. La formation des grilles 112, 112a de la couche d'oxyde thermique 114 et des espaceurs 116, a lieu selon des procédés identiques à ceux exposés au sujet de la formation de la grille 112, de la couche 114 et des espaceurs 116 de la figure 3. On peut donc se reporter à ce sujet à la description qui précède. En fin de gravure des espaceurs, l'oxyde de piédestal est éliminé des régions source et drain. On procède alors à une réoxydation avant l'étape d'implantation à forte dose (n^+ , p^+), pour former une couche 117 dite de "réoxydation".

A titre indicatif, on peut préciser que la formation des grilles 112 et 112a a lieu simultanément et selon deux étapes de gravure.

Une première gravure des couches de nitrure et d'oxyde de silicium, sélective par rapport au silicium a lieu avec arrêt dans la couche de silicium polycristallin ou amorphe 104.

Une deuxième gravure du silicium 104 est ensuite effectuée, cette deuxième gravure étant sélective par rapport à l'oxyde de silicium.

La figure 12 montre également la formation de régions de source et de drain 118a, 120a, 118, 120 de part et d'autre des grilles 112a et 112. On peut à ce sujet également se reporter à la description qui précède. On note également que les régions de source et de drain 120a et 118 forment une seule région dopée commune aux deux transistors.

Dans une étape ultérieure, illustrée à la figure 13, la couche de nitrure de silicium de la grille-silicium 112a est éliminée par gravure avec arrêt sur la couche 105 d'oxyde de silicium. Lors de
5 cette gravure, le substrat est protégé par la couche de réoxydation 117. Après cette opération une éventuelle implantation d'impuretés dopantes peut avoir lieu dans la couche 104 de la grille-silicium 112a. Cette implantation peut avoir lieu, par exemple, si le
10 matériau de grille n'a pas été préalablement dopé, lors de son dépôt. De plus, l'ensemble de la première région 200 est protégée par une couche de résine 202. La couche de résine préserve l'ensemble de la région 202 et de la grille factice des traitements effectués dans
15 la deuxième région 200a.

Après élimination de la couche de résine 202 on effectue une gravure permettant d'éliminer la couche de réoxydation 117 et la couche 105 de la grille silicium 112a.

20 Cette opération permet, comme le montre la figure 14, de mettre à nu le substrat dans les régions de source et de drain, et de mettre à nu la couche 104 de silicium polycristallin de la grille 112a.

Une siliciuration du silicium exposé permet de
25 former des zones siliciurées 119a, 121a, 119, 121 sur les régions de source et de drain 118a, 120a, 118, 120. Une couche de siliciure 107 est également formée sur la couche de silicium 104 de la grille-silicium 112a comme le montre la figure 15.

30 Le procédé se poursuit par le dépôt conforme successif d'une première couche 124 d'oxyde de silicium dopé au phosphore puis d'une deuxième couche 126 d'oxyde de silicium intrinsèque, non intentionnellement

dopée, ou de borophosphosilicate (BPSG). Les couches 124 et 126 enrobent la grille factice 112 et la grille-silicium 112a, comme le montre la figure 16.

Un polissage de planarisation avec arrêt sur la
5 couche de nitrure de silicium 106 de la grille factice permet d'obtenir la structure représentée à la figure 17. On peut noter qu'une partie de la couche d'oxyde 124 est préservée sur la grille-silicium 112a lors de ce polissage.

10 Les opérations de dépôt des couches d'oxyde 124 et 126, de même que le polissage sont des opérations semblables à celles illustrées aux figures 4 et 5. On peut donc se reporter à ce sujet à la description correspondante des figures 4 et 5.

15 Un opération suivante consiste à éliminer la grille factice 112. La partie de la couche d'oxyde 124 préservée sur la grille-silicium 112a siliciurée permet de la protéger lors de la gravure des couches de nitrure de silicium 106 et de silicium 104 de la grille
20 factice 112.

Après l'élimination des couches de nitrure de silicium et de silicium de la grille factice, une désoxydation permet d'éliminer aussi la couche d'oxyde de piédestal 102 ainsi mise à nu. On obtient ainsi une
25 ouverture 130. Lors de cette désoxydation la partie de la couche d'oxyde 124 préservée sur la grille-silicium risque d'être en partie éliminée.

Ainsi, pour protéger la grille-silicium, il est possible comme le montre la figure 18 de prévoir un
30 masque de résine 204 qui recouvre et protège l'ensemble de la deuxième région 200a lors des opérations d'élimination de la grille factice.

Une opération suivante comporte la fabrication d'une grille définitive 133 dans l'ouverture 130, après un éventuel évasement de l'ouverture 130.

5 Cette opération est identique à celle décrite en référence aux figures 7 à 9. On peut se reporter à la description correspondante qui n'est par répétée ici.

On peut ainsi obtenir, comme le montre la figure 19, sur un même substrat à la fois des grilles
10 de silicium siliciurées 112a de forme sensiblement rectangulaire en section et des grilles 133 en un matériau de faible résistivité, par exemple des grilles métalliques, de forme évasée.

On décrit à présent une variante de mise en
15 oeuvre du procédé de l'invention. Cette description se rapporte à la fabrication d'un seul transistor à grille métallique.

Les premières étapes du procédé sont identiques à celles illustrées aux figures 1 à 3 auxquelles on
20 peut se référer.

Après achèvement de la siliciuration qui conduit à la formation des couches de siliciure 119 et 121 des régions de source et de drain, on dépose sur la structure une couche fine de nitrure de silicium 123.

25 La couche de nitrure de silicium 123 est déposée avant la formation des première et deuxième couches d'oxyde de silicium (ou BPSG) 124 et 126, pour obtenir la structure illustrée à la figure 20.

On constate que la couche 123 de nitrure de
30 silicium recouvre les couches 119 et 121 de siliciure formées sur les régions de source et de drain 118, 120, les espaceurs latéraux 116, et la couche de nitrure de silicium 106 au sommet de la grille factice 112.

Lors du polissage des première et deuxième couches d'oxyde (respectivement de BPSG) 124 et 126, avec arrêt sur la couche de nitrure de silicium 102, on obtient la structure illustrée à la figure 21.

5 On constate sur cette figure que la couche de nitrure de silicium 123 peut être en partie entamée au-dessus de la couche de nitrure de silicium 106.

La figure 22 montre l'élimination de la grille factice et la formation d'une ouverture 130 présentant
10 une forme évasée. Ces opérations sont décrites plus en détail en référence aux figures 6 à 8. On constate qu'il subsiste une partie de couche de nitrure de silicium au-dessus des régions de source et de drain et entre les parties restantes des espaceurs latéraux 116
15 et de la première couche d'oxyde 124.

La figure 23 montre la réalisation d'une grille définitive 133. Il s'agit d'une grille de type bicouche telle que décrite en référence à la figure 9.

On constate que, finalement, tout au long du
20 procédé décrit, la couche 123 de nitrure de silicium protège les couches de siliciure 119 et 121 dans les régions de source et de drain. Cette protection permet d'empêcher une oxydation partielle de ces régions au cours du procédé et garantit ainsi d'excellentes prises
25 de contact de source et de drain.

Le perfectionnement décrit ci-dessus est applicable également au procédé conduisant à la réalisation concomitante de grilles silicium et de grilles métalliques (matériau de faible résistivité).

30 Dans ce cas, la formation de la couche de nitrure de silicium 123 a lieu également après la formation des couches de siliciure 119, 121, 119a, 121a

illustrée à la figure 15, et avant la formation des couches d'oxyde 124 et 126, illustrée à la figure 16.

On obtient finalement au terme du procédé la structure illustrée à la figure 24.

5 Comme le montre cette figure, la couche de nitrure de silicium recouvre les couches de silicium 119a, 121a, 119, 121 et s'étend entre les espaceurs latéraux 116 et la couche 124 d'oxyde, sur les flancs de la grille-silicium 112a et de la grille définitive
10 133. La couche de nitrure de silicium 123 se retrouve également dans la grille-silicium 112 finalement obtenue, entre la couche de siliciure 107 et la partie de la couche d'oxyde 124 préservée sur la grille-silicium 112 lors du polissage des couches 124 et 126.

15

Document cité

(1)

"A Newly Developed Two Mode Channel FET (TMT) Suited for Super-Low-Noise and High-Power Applications", Minoru Sawada, Daijiro Inoue, Kohji Matsumura, and Yasoo Harada, Extended Abstracts of
20 the 1993 International Conference on Solid State Devices and Materials, Makuhari, 1993, pp. 1083-1085

REVENDICATIONS

1. Procédé de fabrication sur un substrat (100) de semiconducteur d'au moins un transistor MIS avec une grille de faible résistivité, caractérisé en ce qu'il
5 comporte les étapes suivantes :

- a) la réalisation sur le substrat (100) d'une grille factice (112) constituée d'au moins un matériau apte à résister à un traitement thermique,
- b) la formation dans le substrat de régions (118, 120)
10 de source et de drain auto-alignées sur la grille factice,
- c) l'enrobage latéral de la grille factice (112) avec au moins un matériau isolant électrique (124, 126),
- d) l'élimination de la grille factice et la formation à
15 la place de la grille factice d'une grille définitive (133) constituée d'au moins un matériau de faible résistivité, la grille définitive (133) étant séparée du substrat par une couche (132) d'isolant de grille.

20 2. Procédé selon la revendication 1 dans lequel l'étape a) comporte :

- la formation sur le substrat d'un empilement comprenant dans l'ordre d'une couche d'oxyde (102) dite couche piédestal, d'une couche de silicium polycristallin ou amorphe (104) et d'une couche de
25 nitrure de silicium (106), et
- la mise en forme de l'empilement par gravure pour réaliser la grille factice (112) avec des flancs latéraux.

30 3. Procédé selon la revendication 2 dans lequel on effectue en outre une oxydation thermique de surface de la couche de silicium polycristallin affleurant aux flancs latéraux de la grille factice (112).

4. Procédé selon la revendication 1 dans lequel l'étape b) comprend :

- une première implantation d'impuretés dopantes à faible dose en utilisant la grille factice comme masque d'implantation,...
- la formation d'espaceurs (116) sur les flancs latéraux de la grille factice,
- une deuxième implantation d'impuretés dopantes à une dose supérieure à la dose de la première implantation, en utilisant la grille factice, équipée des espaceurs (116), comme masque d'implantation.

5. Procédé selon la revendication 4 dans lequel la formation des espaceurs latéraux comporte :

- un dépôt sensiblement conforme d'une couche d'oxyde de silicium dopé au phosphore de façon à enrober la grille factice, et
- une gravure anisotrope de ladite couche pour l'éliminer au-dessus de la grille factice tout en préservant une partie de ladite couche sur les flancs latéraux de la grille factice, cette partie constituant les espaceurs latéraux.

6. Procédé selon la revendication 4 dans lequel l'étape b) comprend en outre une siliciuration auto-alignée (119a, 121a) des régions de source et de drain.

7. Procédé selon la revendication 6, dans lequel on dépose une couche (123) de nitrure de silicium sur les régions de source et de drain après leur siliciuration.

8. Procédé selon l'une quelconque des revendications 1 à 7 dans lequel l'étape c) comporte :

- le dépôt d'une première couche (124) isolante électrique d'oxyde de silicium dopée au phosphore puis d'une deuxième couche (126) isolante électrique

d'oxyde de silicium non intentionnellement dopé, ou de borophosphosilicate, les première et deuxième couches enrobant la grille factice (112), et
- le polissage des première et deuxième couches d'oxyde
5 de silicium avec arrêt sur la grille factice.

9. Procédé selon la revendication 2 dans lequel l'étape d) comporte l'élimination par gravure des couches de nitrure de silicium (106) et de silicium polycristallin ou amorphe (104) de la grille factice,
10 la couche piédestal (102) formant lors de cette gravure une couche d'arrêt de gravure.

10. Procédé selon la revendication 2 dans lequel l'étape d) comporte en outre l'élimination par gravure de la couche piédestal (102).

15 11. Procédé selon la revendication 8, caractérisé en ce que l'étape d) comporte en outre, avant la formation de la grille définitive (133), une attaque partielle des première et deuxième couches d'oxyde (124, 126) pour former un évasement après
20 l'élimination de la grille factice (112).

12. Procédé selon la revendication 1, caractérisé en ce que l'étape d) comporte en outre une élimination partielle des espaceurs latéraux de la grille factice.

25 13. Procédé selon la revendication 1, caractérisé en ce que la formation de la grille définitive (133), lors de l'étape d), comporte un dépôt conforme successif d'une couche (134) de nitrure de titane (TiN) et d'une couche de tungstène (W) (136)
30 puis une planarisation de ces couches avec arrêt sur le matériau isolant électrique (126).

14. Procédé selon la revendication 13, caractérisé en ce que la couche de nitrure de titane et

la couche de tungstène sont formées par un dépôt chimique en phase vapeur à basse pression (LPCVD).

15. Procédé selon la revendication 13, caractérisé en ce que la planarisation a lieu par une
5 opération de polissage mécano-chimique ou par une gravure anisotrope.

16. Procédé selon la revendication 1, caractérisé en ce que la formation de la grille définitive (136), lors de l'étape d), est précédée par
10 la formation d'une couche d'oxyde de grille (132) pour isoler électriquement la grille du substrat.

17. Procédé selon la revendication 1, caractérisé en ce qu'il comporte en outre, avant l'étape a), la formation par dopage, dans le substrat,
15 d'une région de canal, la grille factice étant réalisée au-dessus de la région de canal.

18. Procédé selon la revendication 1, caractérisé en ce qu'il comporte en outre, après l'étape d) les étapes suivantes :
20 e) formation de prises de contact sur les régions de source et de drain, et sur la grille,
f) la métallisation des prises de contact.

19. Procédé selon la revendication 2 comprenant en outre la formation d'au moins un transistor à grille
25 de silicium.

20. Procédé selon la revendication 19 dans lequel l'étape a) comporte :

- la formation, sur le substrat, d'un empilement comprenant dans l'ordre, dans au moins une première
30 région (200), une couche d'oxyde (102) dite couche piédestal, une couche de silicium polycristallin ou amorphe (104) et une couche de nitrure de silicium (106), et comprenant dans au moins une deuxième

- 5 région (200a) la couche d'oxyde (102) dite couche piédestal, la couche de silicium polycristallin ou amorphe (104) , une couche d'oxyde de silicium (105) dite intercalaire, et la couche de nitrure de silicium (106), et
- la mise en forme de l'empilement par gravure pour réaliser la grille factice (112) avec des flancs latéraux dans la première région et au moins une grille (112a) dite grille-silicium dans la deuxième
- 10 région.
- dans lequel l'étape b) comporte la formation dans le substrat de régions (118, 120), 118a, 120a) de source et de drain auto-alignées sur la grille factice et sur la grille-silicium respectivement,
- 15 dans lequel l'étape c) comporte :
- l'enrobage latéral de la grille factice (112) et de la grille silicium (112a) avec au moins un matériau isolant électrique (124, 126),
- dans lequel l'étape c) est précédée par :
- 20 - l'élimination de la couche de nitrure de silicium sur la grille-silicium (112a) dans la deuxième région,
- l'élimination de la couche piédestal autour de la grille factice (112) et de la grille-silicium (112a), et l'élimination de la couche intercalaire (105)
- 25 d'oxyde de silicium,
- et dans lequel on forme dans la deuxième région une couche de protection, recouvrant la grille silicium lors de l'étape d).
21. Procédé selon la revendication 20 dans
- 30 lequel on effectue, après l'élimination de la couche piédestal (102) et de la couche intercalaire (105), et avant l'étape c), une siliciuration auto-alignée (119, 121, 119a, 121a) des régions de source et de drain et

de la couche de silicium polycristallin ou amorphe de la grille silicium.

22. Procédé selon la revendication 20 dans lequel on effectue, après l'élimination de la couche de
5 nitrure de silicium sur la grille-silicium dans la deuxième région, une implantation d'impuretés dopantes dans la couche (104) de silicium polycristallin ou amorphe de la grille-silicium.

23. Procédé selon la revendication 20,
10 caractérisé en ce que l'enrobage latéral de la grille factice et de la grille-silicium lors de l'étape c) comporte :

- le dépôt d'une première couche (124) isolante électrique d'oxyde de silicium dopée au phosphore
15 puis d'une deuxième couche (126) isolante électrique d'oxyde de silicium non intentionnellement dopé, ou de borophosphosilicate, les première et deuxième couches enrobant la grille factice (112) et la grille-silicium, et
- 20 - le polissage des première et deuxième couches d'oxyde de silicium ou de borophosphosilicate avec arrêt sur la grille factice, une fine couche d'oxyde de silicium dopée au phosphore étant préservée sur la couche de silicium polycristallin ou amorphe de la
25 grille-silicium lors de ce polissage.

24. Procédé selon la revendication 21 dans lequel on forme une couche de nitrure de silicium (123) sur les régions de source et de drain et sur la couche de silicium polycristallin ou amorphe de la grille-
30 silicium, après leur siliciuration.

25. Transistor MOS comprenant une source (118), un drain (120) et une grille (136), et une couche d'isolation de grille (132), et dans lequel la source

et le drain sont auto-alignés sur la grille (136), caractérisé en ce que la grille (136) est réalisée en au moins un matériau de faible résistivité.

26. Transistor selon la revendication 25, caractérisé en ce que le matériau de la grille présente une résistivité comprise entre $1\mu\Omega\cdot\text{cm}$ et $10\mu\Omega\cdot\text{cm}$.

27. Transistor selon la revendication 25, caractérisé en ce que la grille présente une forme évasée à partir de la couche (132) d'isolation de grille.

28. Transistor selon la revendication 25, caractérisé en ce que la grille présente une section transversale en forme de T.

29. Transistor selon la revendication 25, caractérisé en ce que le matériau de la grille est un matériau métallique de type "mid-gap".

30. Transistor selon la revendication 25, caractérisé en ce que la grille comporte une couche de nitrure de titane (TiN) et une couche de tungstène (W).

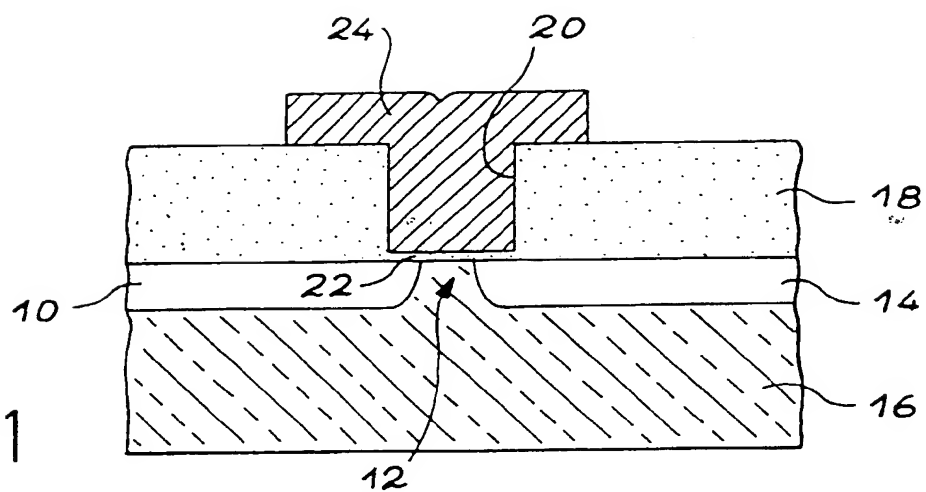


FIG. 1

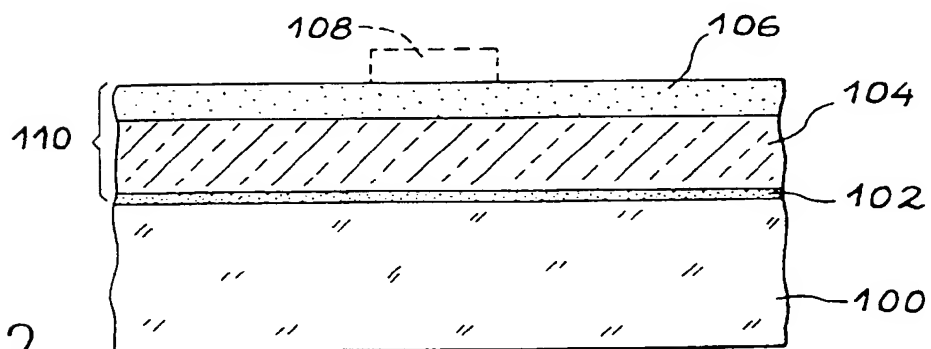


FIG. 2

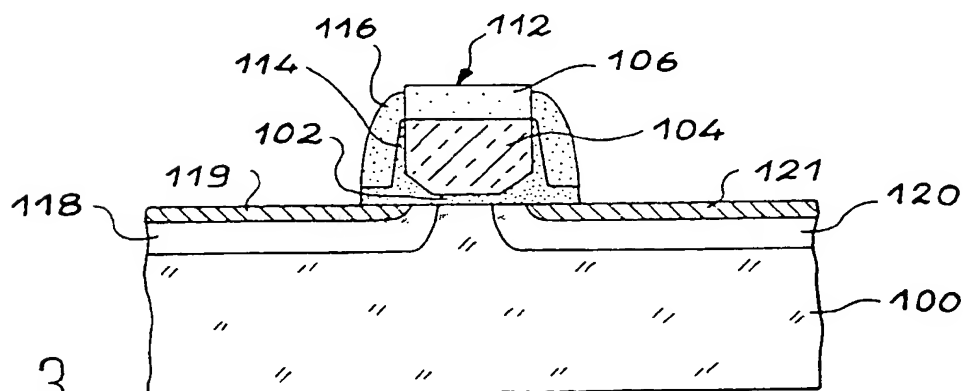
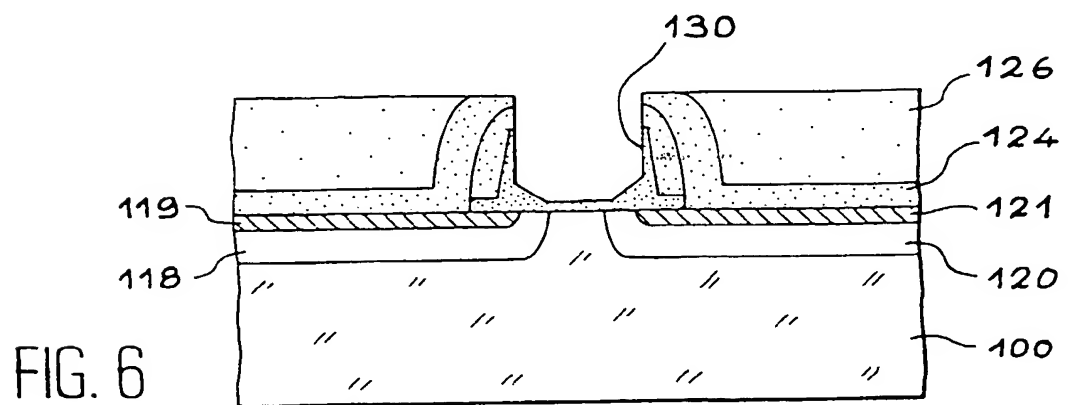
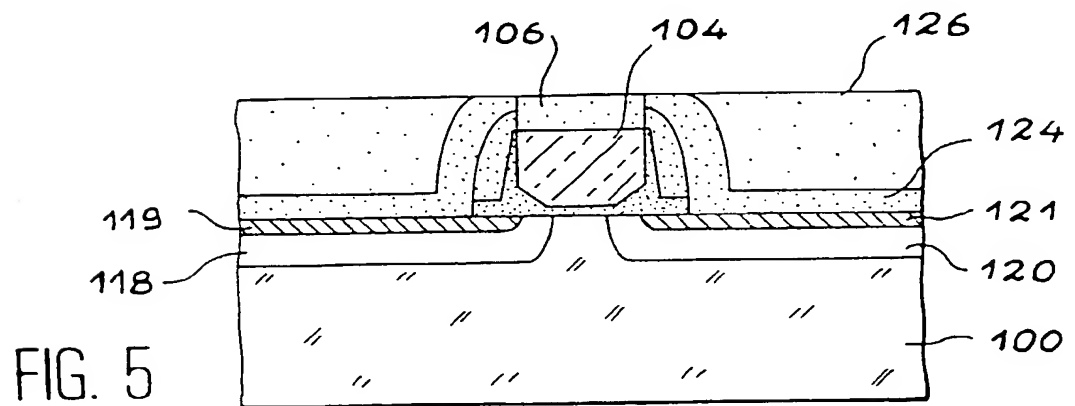
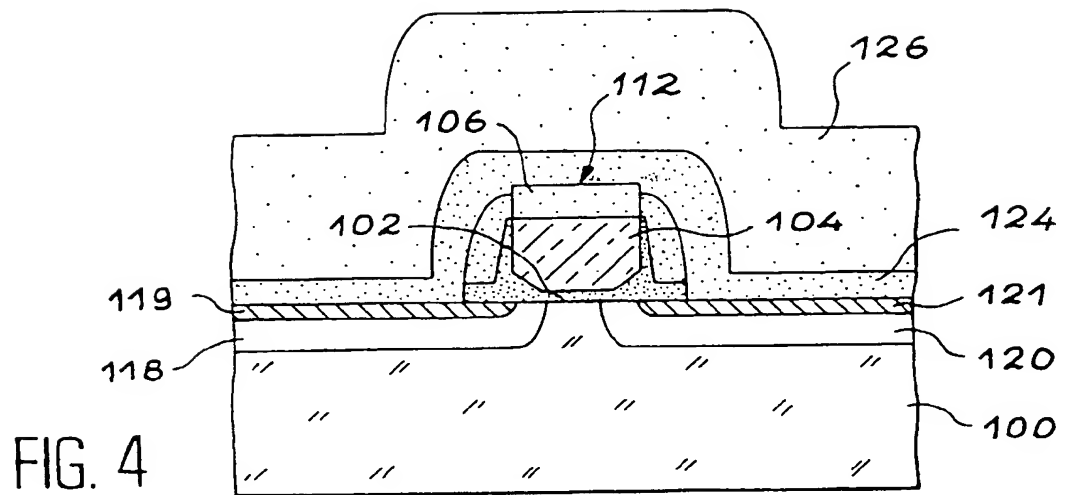
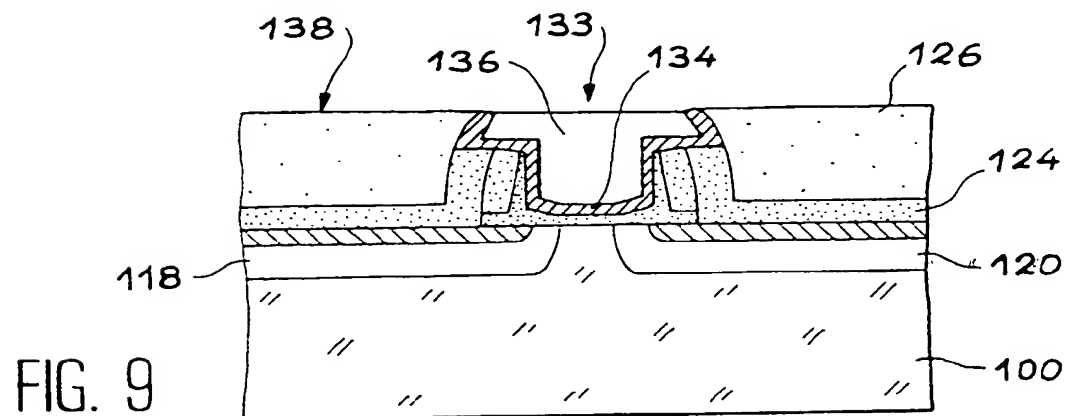
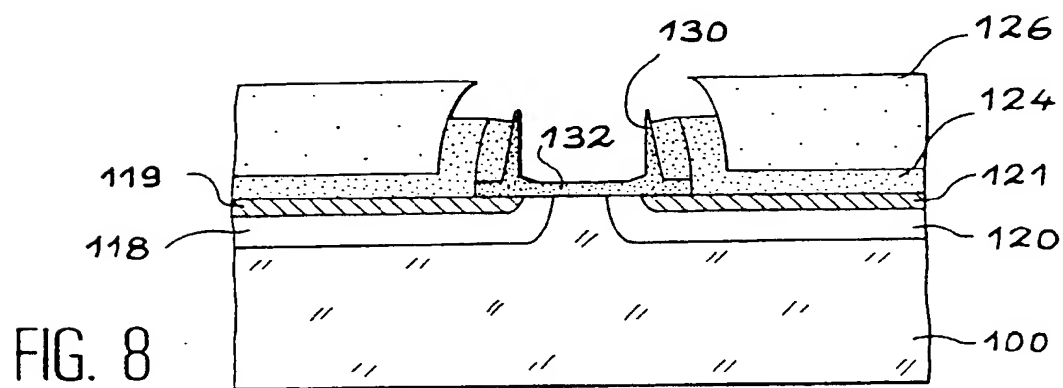
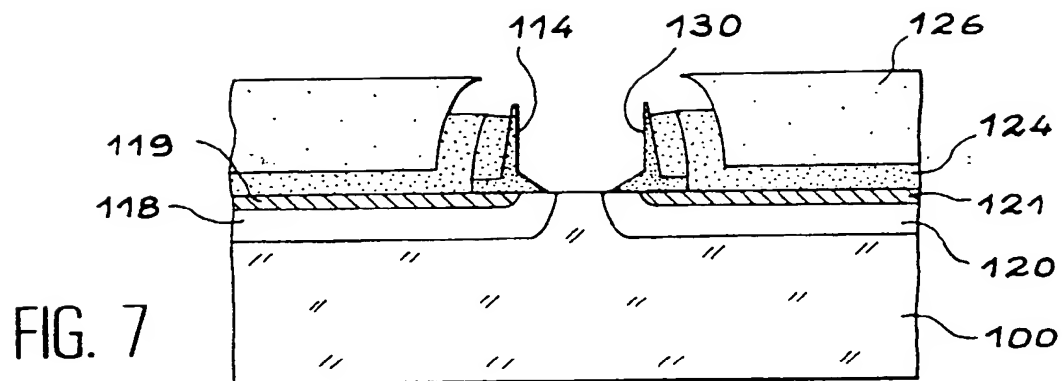


FIG. 3

2 / 9





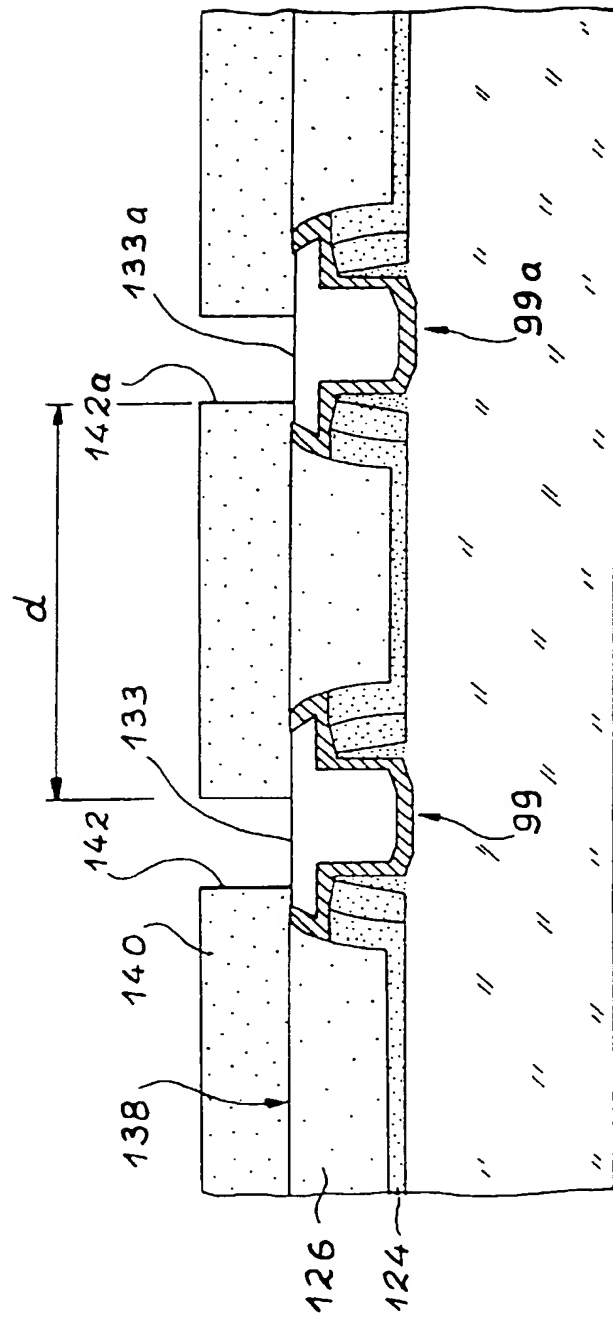


FIG. 10

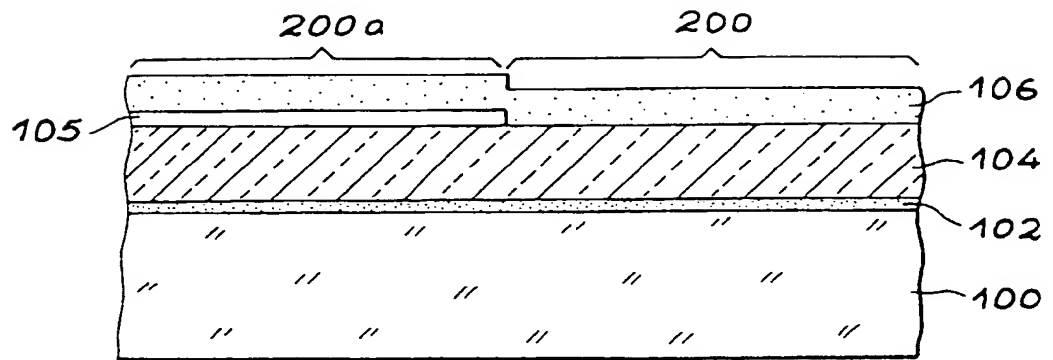


FIG. 11

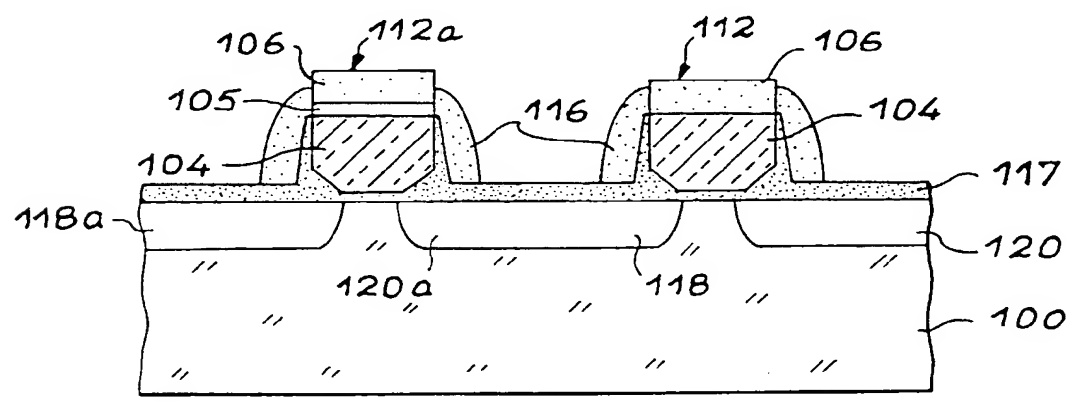


FIG. 12

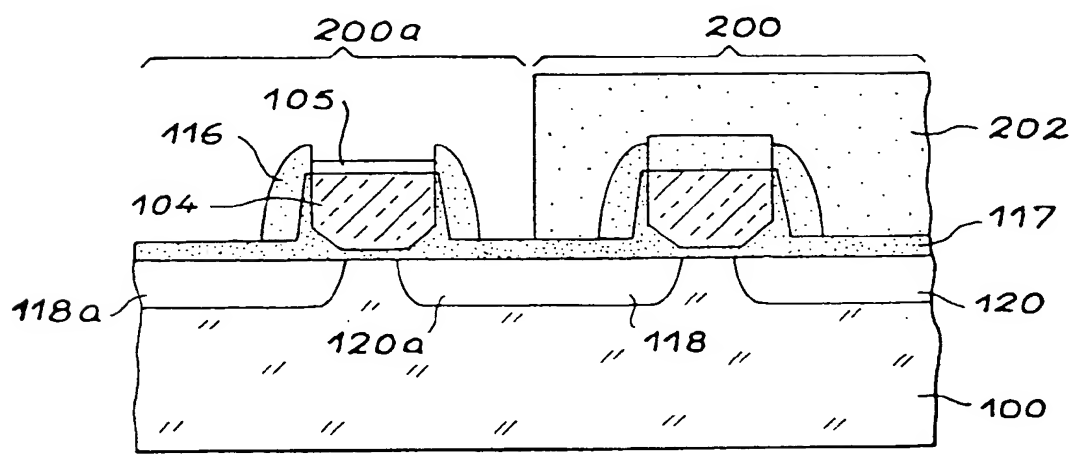


FIG. 13

6/9

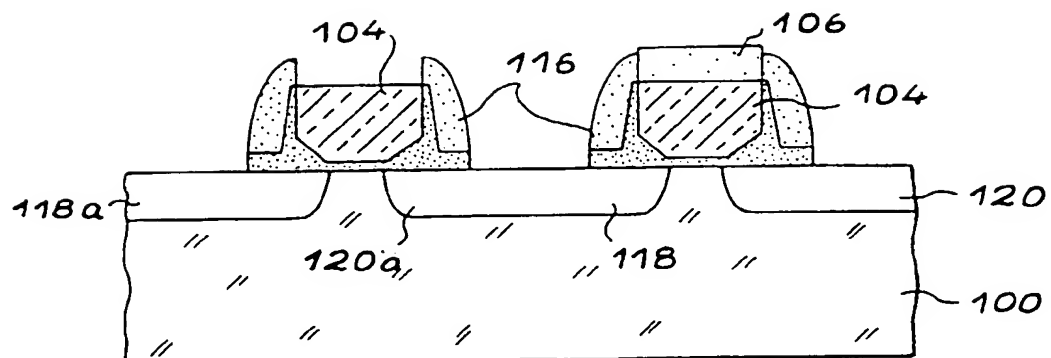


FIG. 14

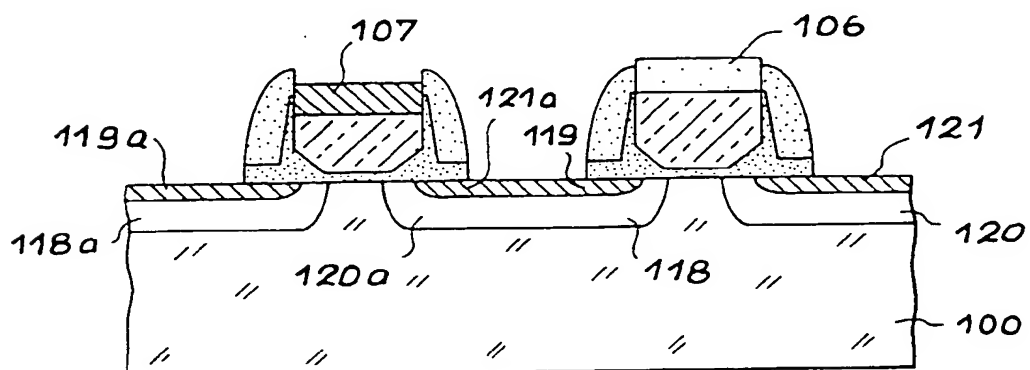


FIG. 15

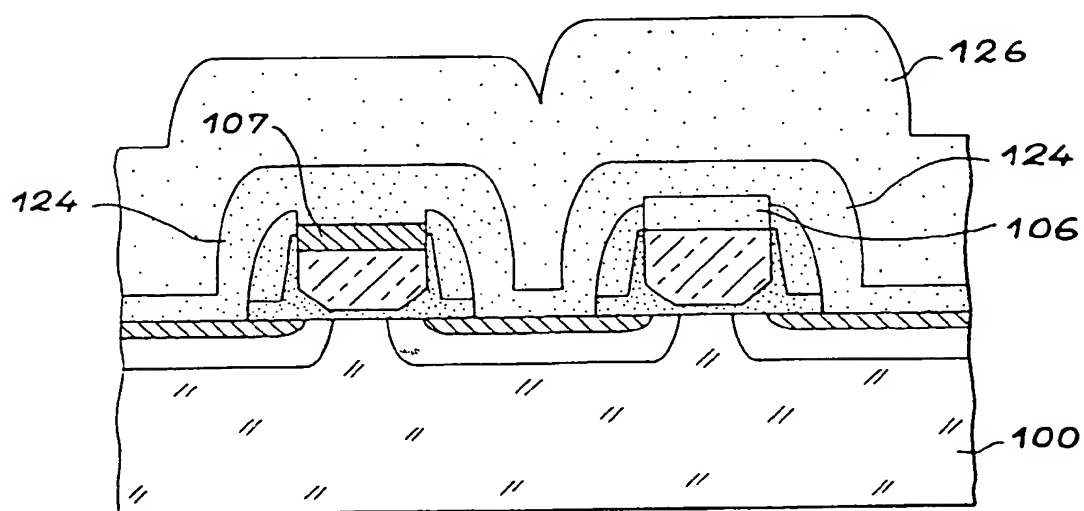


FIG. 16

7/9

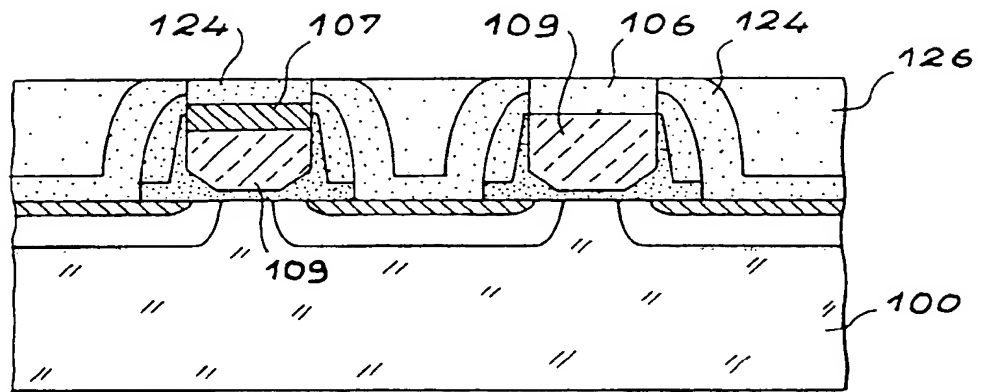


FIG. 17

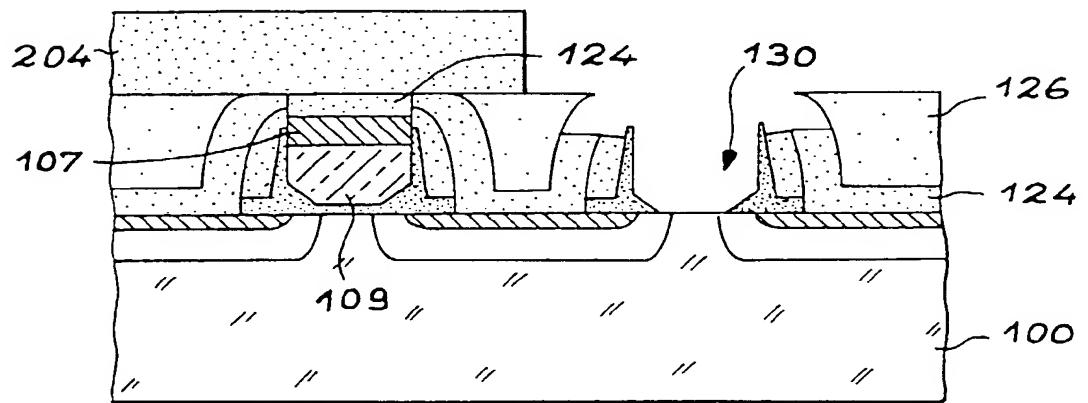


FIG. 18

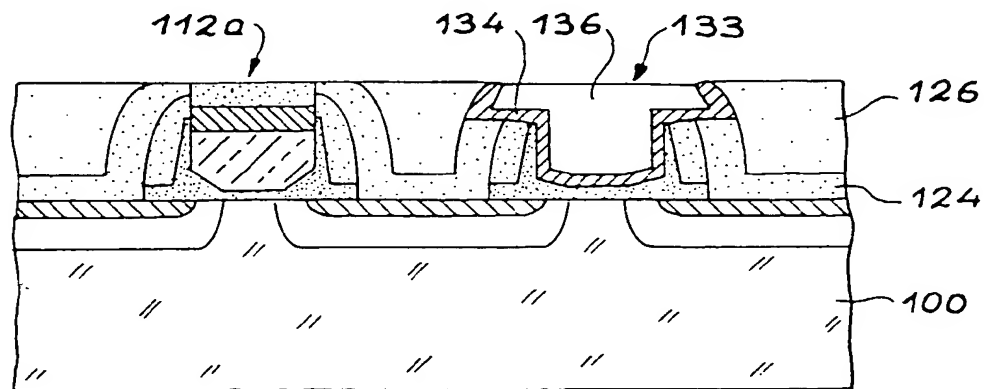


FIG. 19

8/9

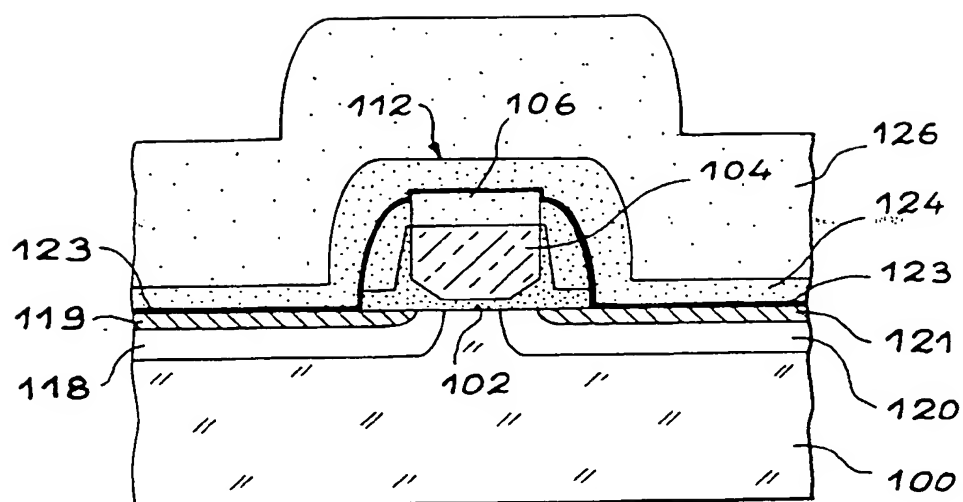


FIG. 20

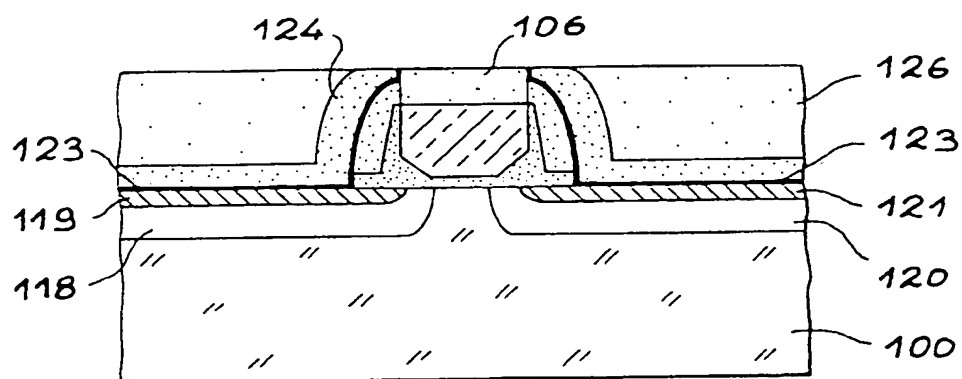


FIG. 21

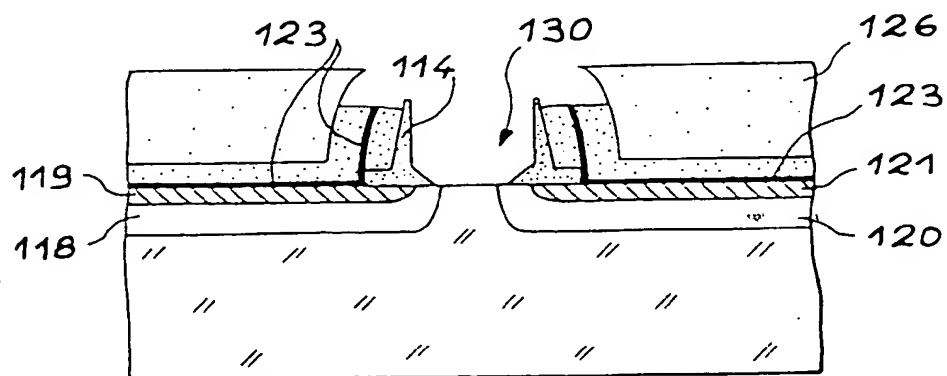


FIG. 22

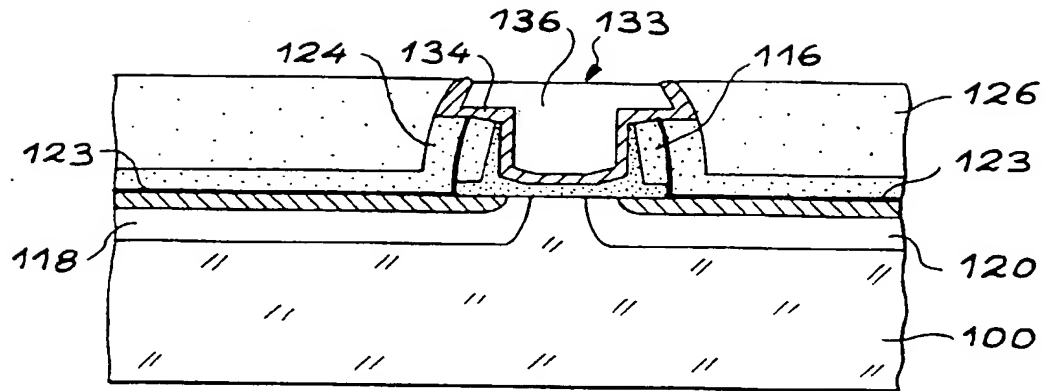


FIG. 23

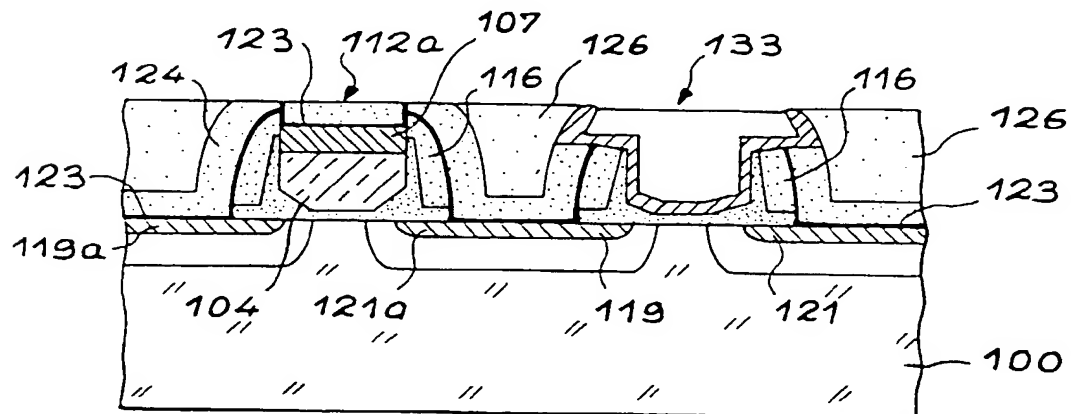


FIG. 24

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X A	US 5 391 510 A (HSU LOUIS L ET AL) 21 février 1995 * colonne 2, ligne 47 - colonne 4, ligne 59; figures 1,2 *	1,2,4,6, 25-30 13,14
X	--- PATENT ABSTRACTS OF JAPAN vol. 018, no. 599 (E-1631), 15 novembre 1994 -& JP 06 232152 A (MITSUBISHI ELECTRIC CORP), 19 août 1994, * abrégé; figures 3,4 *	1,25-28
X	--- EP 0 480 446 A (TEXAS INSTRUMENTS INC) 15 avril 1992 * colonne 19, ligne 49 - colonne 22, ligne 14; figures 10-14,6 *	1-4
X	--- PATENT ABSTRACTS OF JAPAN vol. 011, no. 244 (E-530), 8 août 1987 -& JP 62 054960 A (NEC CORP), 10 mars 1987, * abrégé; figure 1 *	25,26, 29,30
X	--- PATENT ABSTRACTS OF JAPAN vol. 018, no. 199 (E-1534), 7 avril 1994 -& JP 06 005852 A (OKI ELECTRIC IND CO LTD), 14 janvier 1994, * abrégé; figures 1,3 *	25,26, 29,30
X	--- PATENT ABSTRACTS OF JAPAN vol. 014, no. 139 (E-0903), 15 mars 1990 -& JP 02 003244 A (FUJITSU LTD), 8 janvier 1990, * abrégé; figures 6-12 *	1,4-6, 17,18
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
		H01L
Date d'achèvement de la recherche		Examineur
25 août 1997		Gélébart, J
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons</p> <p>Δ : membre de la même famille, document correspondant</p>		

THIS PAGE BLANK (USPTO)